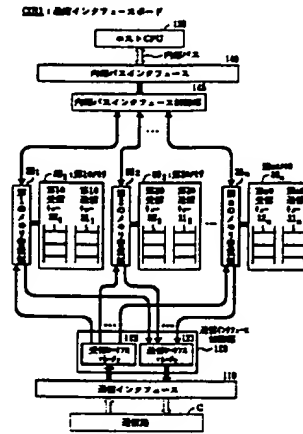


# WPI

- TI' - Memory mounting type communication interface board for data transmission and reception in distributed server system - has several memory to which data storage is performed only when class of received data corresponding to that of memory is same
- AB - J11007422 NOVELTY - Several memories (301-30n) are provided to perform division of transceiving data of multiple kinds and stores it accordingly, communication and internal bus interface controllers (120,145) pass data received through communication channel and internal bus to all memory management units (351-35n) and control data transmission and reception between memory management unit and communication channel and internal bus. Data are stored in memory only when class of data received corresponding to that of memory is same. DETAILED DESCRIPTION - When class of data corresponding to memory is different, the received data are canceled. Memory management unit manages several stored similar data and performs input-output suitably.
- USE - For data transmission between internal bus and communication channel of server.
- ADVANTAGE - Reduces installation cost of communication channel when data forwarding is performed in small forwarding unit and different data are independently buffered. Reduces response time from server. DESCRIPTION OF DRAWING(S) - The figure block diagram showing communication interface board. (120) Communication interface controller; (145) Internal bus interface controller; (301-30n) Memory; (351-35n) Memory management unit.
- (Dwg.1/8)
- PN - JP11007422 A 19990112 DW199912 G06F13/00 015pp
- PR - JP19970173233 19970613
- PA - (NITE ) NIPPON TELEGRAPH & TELEPHONE CORP
- MC - T01-H W02-F05A
- DC - T01 W02
- IC - G06F13/00 ;H04N7/16
- AN - 1999-138169 [12]

# PAJ

- TI - MEMORY MOUNTED FAST COMMUNICATION INTERFACE BOARD AND DATA TRANSMITTING AND RECEIVING METHOD
- AB - PROBLEM TO BE SOLVED: To reduce the facility costs of a communication path and to shorten response time from a server by resigning received data when the class to which the received data belong is different from a class corresponding to memory a part itself manages.
- SOLUTION: N memory managing parts 351 to 35n manage memory 301 to 30n respectively, that is, a memory managing part 351 manages the memory 301, the managing part 352 manages the memory 302 and a memory managing part 35n manages the memory 30n. The parts 351 to 35n respectively discriminate classes to which sending data that are received from an internal bus interface controlling part 145 belong and to which receiving data that are received from an communication interface controlling part 120 belong, accumulate receiving data whose class is the same in the memory the parts 351 to 35n themselves manage when a class to which the discriminated receiving data belongs coincides with the class to which the memory they themselves manage, and resign the receiving data when the classes do not coincide.
- PN - JP11007422 A 19990112
- PD - 1999-01-12
- ABD - 19990430
- ABV - 199904
- AP - JP19970173233 19970613
- PA - NIPPON TELEGR & TELEPH CORP <NTT>
- IN - SUZUKI HIDEMOTO;SASAKI CHIKARA;FUKAZAWA KATSUHIKO
- I - G06F13/00
- SI - H04N7/16



<First Page Image>

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-7422

(43) 公開日 平成11年(1999) 1月12日

(51) Int.Cl.<sup>4</sup>

識別記号

F I

G 0 6 F 13/00

3 5 3

G 0 6 F 13/00

3 5 3 B

// H 0 4 N 7/16

H 0 4 N 7/16

A

審査請求 未請求 請求項の数 4 F D (全 15 頁)

(21) 出願番号 特願平9-173233

(22) 出願日 平成9年(1997) 6月13日

(71) 出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72) 発明者 鈴木 偉元

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(72) 発明者 佐々木 主税

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(72) 発明者 深澤 勝彦

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

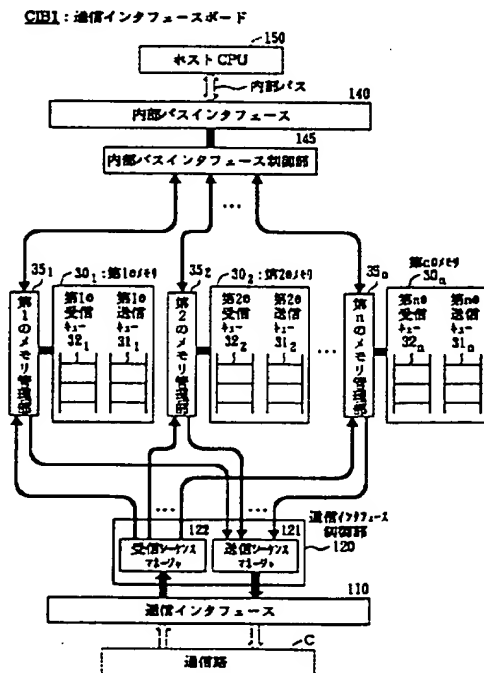
(74) 代理人 弁理士 川久保 新一

(54) 【発明の名称】 メモリ搭載型の高速通信インタフェースボードとデータの送受信方法

(57) 【要約】

【課題】 バースト的に大きな転送単位で送るデータと、小さな転送単位で頻繁に送るデータとが混在してデータ転送される場合、通信路の設備コストを削減することができ、また、サーバからの応答時間を短縮することができるメモリ搭載型の高速通信インタフェースボードとデータの送受信方法を提供することを目的とするものである。

【解決手段】 送信データと受信のデータとを $n$ 種類( $n$ は1以上の整数)にクラス分けし、送信データと受信データとを蓄積する $n$ 個のメモリを設け、上記メモリの1つと上記クラス分けされた1つのクラスとを対応させ、データの送受信において、全てのメモリに対してバッファリングを指示した後に、データのクラスを識別し、蓄積するべきか否かを、各メモリ毎に判断した上で蓄積するものである。



## 【特許請求の範囲】

【請求項1】 複数のサーバ間を結ぶ通信路と、上記サーバの内部バスとの間で、データの入出力を高速に行う通信インタフェースボードにおいて、

所定の送信データと所定の受信データとを蓄積し、 $n$ 種類（ $n$ は1以上の整数）にクラス分けされた $n$ 個のメモリと；上記 $n$ 個のメモリのそれぞれに入出力されるデータを管理する $n$ 個のメモリ管理部と；上記通信路を介して受け取ったデータを、上記 $n$ 個のメモリ管理部全てに渡し、上記メモリ管理部と上記通信路との間で、データの送受信を制御する通信インタフェース制御部と；上記内部バスを介して受け取ったデータを、上記 $n$ 個のメモリ管理部全てに渡し、上記メモリ管理部と上記内部バスとの間で、データの送受信を制御する内部バスインタフェース制御部と；を有し、上記 $n$ 個のメモリ管理部のそれぞれは、自分が受け取ったデータが属するクラスと、自分が管理するメモリに対応するクラスとが同じ場合に、上記受け取ったデータを、自分が管理するメモリに蓄積し、一方、自分が受け取ったデータが属するクラスと、自分が管理するメモリに対応するクラスとが異なる場合に、上記受け取ったデータを破棄することを特徴とするメモリ搭載型の高速通信インタフェースボード。

【請求項2】 複数のサーバ間を結ぶ通信路と、上記サーバの内部バスとの間で、データの入出力を高速に行う通信インタフェースボードにおいて、

所定の送信データと所定の受信データとを蓄積し、 $n$ 種類（ $n$ は1以上の整数）にクラス分けされた $n$ 個のメモリと；上記 $n$ 個のメモリと上記通信路との間で、データの送受信を制御する通信インタフェース制御部と；上記 $n$ 個のメモリと上記通信インタフェース制御部との間でデータの入出力先を切替え、上記通信路側から受け取ったデータが属するクラスを判断し、上記判断されたクラスに対応する上記メモリに、上記通信路側から受け取ったデータを蓄積させる通信路側メモリ切替部と；上記 $n$ 個のメモリと上記内部バスとの間で、データの送受信を制御する内部バスインタフェース制御部と；上記 $n$ 個のメモリと上記内部バスインタフェース制御部との間で、データの入出力先を切替え、上記内部バス側から受け取ったデータが属するクラスを判断し、上記判断されたクラスに対応する上記メモリに、上記内部バス側から受け取ったデータを蓄積させる内部バス側メモリ切替部と；を有することを特徴とするメモリ搭載型の高速通信インタフェースボード。

【請求項3】 複数のサーバ間を結ぶ通信路と、上記サーバの内部バスとの間で、データの入出力を高速に行う通信インタフェースボードにおいて、

上記インタフェースボード上に設けられている $n$ 個のメモリのそれぞれを、 $n$ 種類（ $n$ は1以上の整数）のクラスに対応づけ、上記内部バスを介して受け取ったデータを、上記 $n$ 個のメモリ全てに渡す段階と；上記通信路を

介して受け取ったデータを、上記 $n$ 個のメモリの全てに渡す段階と；上記送信データまたは上記受信データが属するクラスを識別する段階と；上記 $n$ 個のメモリのそれぞれに対応付けられたクラスと、上記識別されたデータのクラスとが一致する場合、上記識別されたデータを当該メモリに蓄積する段階と；上記 $n$ 個のメモリのそれぞれに対応付けられたクラスと、上記識別されたデータのクラスとが一致しない場合、上記識別されたデータを当該メモリが破棄する段階と；を有することを特徴とするデータの送受信方法。

【請求項4】 複数のサーバ間を結ぶ通信路と、上記サーバの内部バスとの間で、データの入出力を高速に行う通信インタフェースボードにおいて、

上記インタフェースボード上に設けられている $n$ 個のメモリのそれぞれを、 $n$ 種類（ $n$ は1以上の整数）のクラスに対応づけ、上記内部バスを介して受け取ったデータを、 $n$ 種類のクラスに識別する段階と；上記内部バスを介して受け取ったデータを、上記受け取ったデータが属するクラスに対応するメモリのみに蓄積する段階と；上記通信路を介して受け取ったデータを $n$ 種類のクラスに識別する段階と；上記通信路を介して受け取ったデータを、上記受け取ったデータが属するクラスに対応するメモリのみに蓄積する段階と；を有することを特徴とするデータの送受信方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、分散型サーバシステムにおけるデータの送受信方法に係り、特に、高速な通信路によって接続された分散型マルチメディアサーバにおいて、ビデオや音声のような長大で、連続性を持ったデータと、比較的サイズが小さく、サーバ間の通信制御に必要な制御メッセージと等を混在させながら、サーバ間で相互に転送するメモリ搭載型の通信インタフェースボードに関する。

【0002】詳しくは、本発明は、サーバの内部バスとサーバ間の通信路との間で、データの入出力を高速に行う高速通信インタフェースボードにおいて、送受信するデータを、たとえば、ビデオストリームのような長大なデータと、ユーザ端末とサーバとの間でインタラクティブなやり取りを行う場合の制御メッセージ（転送中止要求、新規データの読出し要求、エラー通知等）とにクラス分けし、各クラス毎にバッファメモリを設けることによって、ビデオストリームと制御メッセージとが混在した形で送受信を行う場合、先に送信（または受信）されたビデオストリームの処理の完了を待つことなく、制御メッセージを優先的に処理できるようにしたものであり、コスト削減のために、高速な通信路を用いて1本化した場合であっても、通信インタフェースボード間のデータ転送の高速化と、ユーザ端末から出された要求に対する応答時間の短縮とを両立させることができる通信イ

インタフェースボードに関する。

【0003】

【従来の技術】分散型サーバシステムの一例としてのビデオオンデマンドシステムについて説明する。

【0004】図7は、従来のビデオオンデマンドシステムVODS1を示すブロック図である。

【0005】ビデオオンデマンドシステムVODS1は、5台のサーバSV1～SV5と、これら5台のサーバSV1～SV5を互いに接続する高速な通信路Cとによって構成されている。

【0006】通信路Cは、たとえば、Fibre Channel (ANSI X3T11規格)である。サーバSV1～SV5は、たとえば、PC/AT互換パソコンであり、それぞれがビデオストリームを蓄積するハードディスク装置を備えている。なお、ビデオオンデマンドシステムVODS1において、VOD (Video-on-demand) 端末6がサーバSV1に接続されている。VOD端末6は、たとえばPC/AT互換パソコンであり、FDDI (Fiber Distributed Data Interface) 等でサーバSV1と接続され、所望のビデオ番組の読出し依頼をサーバ1へ発行する。サーバSV1は、VOD端末6へ転送するビデオストリームを一時蓄積するメモリを備える。

【0007】ビデオストリームは、単位再生時間分のデータサイズ毎にセグメント化され、5台のサーバSV1～SV5に分散され、ストライピングしながら蓄積される(分散してシーケンシャルに蓄積される)。たとえば、サーバSV1が、所定のビデオストリームの転送依頼をVOD端末6から受けた場合、サーバSV1は、依頼された所定のビデオストリームを構成する複数のセグメントデータ入手するために、各セグメントデータをサーバSV1に転送させるように、サーバSV2～SV5へ、順次要求を出す。

【0008】ビデオストリームがストライピングされている順番に、しかもビデオの再生タイミングに応じて、所定のサーバに対して、セグメントデータの転送要求が発行される。サーバSV1は、サーバSV2～SV5から受信したセグメントデータを一時的に内部のメモリに保存し、ビデオストリームの所定のビットレートに応じて、VOD端末6へ転送する。なお、VOD端末6が再生しているビデオストリームが途切れないように、現在再生しているセグメントデータ(VOD端末6へ転送中のセグメントデータ)よりも、先行しているセグメントデータに対して、転送要求が予め発行される。

【0009】また、VOD端末6は、ビデオ番組の中止、ポーズ、番組中の再生ポイントの変更(ジャンプ)等のビジュアルサーチ機能を要求することができ、これを実現するために、サーバ間では、セグメントデータの読出し中止、新たなセグメントの読出し等の制御メッセージが送られる。

【0010】なお、サーバSV1～SV5のそれぞれ

に、VOD端末6を複数台接続することが可能であり、上記複数台接続された各VOD端末において、上記ビデオストリームの再生やビジュアルサーチを、互いに独立して実行することができる。

【0011】図8は、従来の通信インタフェースボードCIBのブロック図である。

【0012】従来の通信インタフェースボードCIBは、高速な通信路Cとの入出力コネクタ部である通信インタフェース10と、通信インタフェース10に対するデータの送受信を制御する通信インタフェース制御部20と、所定の送信データを到着順にキューイングした送信キュー31と、所定の受信データを到着順にキューイングした受信キュー31とを蓄積するメモリ30と、ホストCPU (Central Processing Unit) 50との間で、データの受け渡し経路を構成する内部バスインタフェース40と、内部バスインタフェース40に対するデータの送受信を制御する内部バスインタフェース制御部45とを有する。

【0013】通信インタフェース制御部20は、送信データのヘッダを組立て、通信路C上の転送フォーマットであるフレームを作成する送信シーケンスマネージャ21と、受信したフレームからヘッダを分解し、受信データを取り出す受信シーケンスマネージャ22とを有する。

【0014】次に、従来の通信インタフェースボードCIBの動作について説明する。

【0015】最初に、通信インタフェースボードCIBにおけるデータ送信動作について説明する。

【0016】まず、内部バスインタフェース制御部45は、内部バスインタフェース40を介して、ホストCPU50からデータを受信し、メモリ30の送信キュー31の最後へキューイングする。送信キュー31のキュー長が増加することによって、通信インタフェース制御部20は、通信路Cへ送信すべき送信データがメモリ30に存在していることを認識する。通信インタフェース制御部20の中の送信シーケンスマネージャ21は、送信キュー31にキューイングされている送信データをFIFO (First In First Out) 規律に従う順番で取り出し、通信路Cに転送させるために、送信データを単位長さ毎に分割し、ヘッダ情報を付加したフレームに変換する。さらに、このフレームに変換された送信データを、通信インタフェース10を介して、通信路Cへ送り出す。

【0017】次に、通信インタフェースボードCIBにおけるデータ受信動作について説明する。

【0018】まず、通信インタフェース制御部20の中の受信シーケンスマネージャ22は、通信インタフェース10を介して受信した1つ以上のフレームからヘッダ情報を削除し、受信データを合成し、この合成された受信データを、メモリ30の受信キュー32の最後へキュー

ーイングする。さらに、メモリ30の中に新規の受信データが存在していることを、割込み等の手段によって、ホストCPU50へ通知する。新規のデータ受信が存在していることを、ホストCPU50が知ると、内部バスインタフェース制御部45に、新規受信データの読出しを指示する。内部バスインタフェース制御部45は、受信キュー32にキューイングされている受信データを、FIFO規律に従う順番で取り出し、内部バスインタフェース40を介して、ホストCPU50へ転送する。

【0019】

【発明が解決しようとする課題】ビデオオンデマンドシステム等において、ビデオストリームのような連続性を持ち、サイズが大きなデータを転送している間も、その間を割って、サイズの小さいデータを速やかに送受信する必要が生じる場合がある。たとえば、転送中のビデオストリームに対する中止、ポーズ、ジャンプ等のインタラクティブな制御メッセージを通知する必要が生じた場合や、複数のVOD端末が同時にアクセスしているときに、他のユーザからのアクセス要求を通知する場合に、サイズが大きなデータを転送している間でもサイズの小さいデータを速やかに送受信する必要がある。

【0020】従来、この種のサーバ間のデータ転送において、ビデオストリームの転送と並行して、制御メッセージの通知を速やかに行うためには、データバスと、制御バスとを独立に有する構成が考えられている。しかし、このようにすると、通信路のコストが2倍になるという欠点がある。さらに、サーバのプラットフォームを廉価な市販品のPCとした場合、通信インタフェースボードの大きさの制限によって、通信インタフェースのモジュール部を複数並列に構成することができない場合や、内部バスの拡張スロット数の制限によって、通信インタフェースボードを複数搭載できない場合には、通信路の2重化を実行することは困難である。

【0021】そこで、サーバ間を高速な通信路1本で接続する構成が考えられるが、この場合には、高速な通信路におけるデータ転送速度と、サーバの内部バスにおけるデータ転送速度との差を吸収するために、インタフェースボード上にダブルバッファを構成し、通信路からアクセスする側と、内部バスからアクセスする側とを、順次切換えながらデータを入出力する。この場合、たとえば、ある通信インタフェースボードにおいて、ビデオストリームを2つ続いて受信した後に、制御メッセージを受信したとすると、制御メッセージよりも先に到着した2つのビデオストリームのそれぞれを、ダブルバッファに1つずつ格納し、この格納動作に続いていずれかのバッファに、上記制御メッセージが格納される。すなわち、ビデオストリームの少なくとも1つについて受信処理が完了した後でなければ、上記制御メッセージを処理することはできず、上記制御メッセージを処理するためには、1つのビデオストリームについての受信処理を待

つ必要がある。つまり、上記従来例においては、ユーザ端末からの要求に速やかに応答することができないという問題がある。

【0022】本発明は、バースト的に大きな転送単位で送るデータと、小さな転送単位で頻繁に送るデータとが混在してデータ転送される場合、通信路の設備コストを削減することができ、また、サーバからの応答時間を短縮することができるメモリ搭載型の高速通信インタフェースボードとデータの送受信方法を提供することを目的とするものである。

【0023】

【課題を解決するための手段】本発明は、送信データと受信のデータとを $n$ 種類( $n$ は1以上の整数)にクラス分けし、送信データと受信データとを蓄積する $n$ 個のメモリを設け、上記メモリの1つと上記クラス分けされた1つのクラスとを対応させ、データの送受信において、全てのメモリに対してバッファリングを指示した後に、データのクラスを識別し、蓄積するべきか否かを、各メモリ毎に判断した上で蓄積したり、または、データを受け取った時点で、そのクラスを識別することによって、バッファリングするメモリを選択したりすることによって、送信データまたは受信データを、上記 $n$ 種類のクラス毎に独立にバッファリングするものである。

【0024】

【発明の実施の形態および実施例】図1は、本発明の一実施例である通信インタフェースボードCIB1を示すブロック図である。

【0025】通信インタフェースボードCIB1は、複数のサーバ間を結ぶ高速な通信路Cと、上記サーバの内部バスとの間で、データの入出力を高速に行う通信インタフェースボードであり、通信インタフェース110と、通信インタフェース制御部120と、 $n$ 個のメモリ30<sub>1</sub>～30<sub>n</sub>(第1のメモリ30<sub>1</sub>、第2のメモリ30<sub>2</sub>、……、第 $n$ のメモリ30<sub>n</sub>)と、 $n$ 個のメモリ管理部35<sub>1</sub>～35<sub>n</sub>(第1のメモリ管理部35<sub>1</sub>、第2のメモリ管理部35<sub>2</sub>、……、第 $n$ のメモリ管理部35<sub>n</sub>)と、内部バスインタフェース140と、内部バスインタフェース制御部145を有する。

【0026】通信インタフェース制御部120は、通信路Cに対するデータの送受信を制御するものであり、送信シーケンスマネージャ121と、受信シーケンスマネージャ122とを有する。

【0027】第1のメモリ30<sub>1</sub>は、第1の送信キュー31<sub>1</sub>と、第1の受信キュー32<sub>1</sub>とを有し、第2のメモリ30<sub>2</sub>は、第2の送信キュー31<sub>2</sub>と、第2の受信キュー32<sub>2</sub>とを有し、……、第 $n$ のメモリ30<sub>n</sub>は、第 $n$ の送信キュー31<sub>n</sub>と、第 $n$ の受信キュー32<sub>n</sub>とを有する。

【0028】メモリ30<sub>1</sub>～30<sub>n</sub>のそれぞれは、互いに異なるクラスに対応され、たとえば、それぞれ第1～

第 $n$ のクラスに対応されている。つまり、メモリ $30_1$ は、第1のクラスに対応され、メモリ $30_2$ は、第2のメモリに対応され、……、メモリ $30_n$ は、第 $n$ のクラスに対応されている。

【0029】そして、メモリ $30_1$ は、第1のクラスの送信データを送信する場合、その到着順に、第1の送信キュー $31_1$ に蓄積し、第1のクラスの受信データが受信された場合、その到着順に受信キュー $32_1$ に蓄積する。メモリ $30_2$ は、第2のクラスの送信データを送信する場合、その到着順に、第2の送信キュー $31_2$ に蓄積し、第2のクラスの受信データが受信された場合、その到着順に受信キュー $32_2$ に蓄積する。同様に、メモリ $30_n$ は、第 $n$ のクラスの送信データを送信する場合、その到着順に、第 $n$ の送信キュー $31_n$ に蓄積し、第 $n$ のクラスの受信データが受信された場合、その到着順に受信キュー $32_n$ に蓄積する。

【0030】内部バスインタフェース制御部145は、内部バスに対するデータの送受信を制御するものであり、内部バスインタフェース140を介して受け取ったデータを、 $n$ 個のメモリ管理部 $35_1 \sim 35_n$ へ渡すものである。

【0031】 $n$ 個のメモリ管理部 $35_1 \sim 35_n$ は、それぞれメモリ $30_1 \sim 30_n$ を管理し、つまり、メモリ管理部 $35_1$ は、メモリ $30_1$ を管理し、メモリ管理部 $35_2$ は、メモリ $30_2$ を管理し、……、メモリ管理部 $35_n$ は、メモリ $30_n$ を管理するものである。そして、 $n$ 個のメモリ管理部 $35_1 \sim 35_n$ のそれぞれは、内部バスインタフェース制御部145から受け取った送信データや、通信インタフェース制御部120から受け取った受信データが属するクラスを判別し、この判別された受信データが属するクラスが、自分が管理するメモリが属するクラスと一致する場合には、そのクラスが同一である受信データを、自らが管理するメモリに蓄積し、クラスが一致しない場合には、その受信データを破棄するものである。

【0032】通信インタフェース制御部120は、第1の送信キュー $31_1 \sim$ 第 $n$ の送信キュー $31_n$ のそれぞれのキュー長が増えたことによって、新たな送信データが存在することを認識するものであり、送信シーケンスマネージャ121と、受信シーケンスマネージャ122とを有する。

【0033】通信インタフェース制御部120の中の送信シーケンスマネージャ121は、各送信キュー $31_1 \sim 31_n$ にキューイングされた送信データをFIFO (First In First Out) 規律に従う順番で処理するものである。つまり、各送信キュー $31_1 \sim 31_n$ における蓄積の順番に従って、送信データを所定の単位転送長に分割し、送信ヘッダ情報を添付し、フレームを作成する。このように1つ以上のフレームに変換された送信データは、通信インタフェース110を介して、通信路C

へ送り出される。

【0034】通信インタフェース制御部120の中の受信シーケンスマネージャ122は、通信インタフェース110を介して受信した1つ以上のフレームから、ヘッダ情報を取り外し、本来のデータを構成していた分のデータを合わせ、受信データを組み立て、さらに、受信データを $n$ 個のメモリ管理部 $35_1 \sim 35_n$ へ転送するものである。

【0035】通信路Cからの受信データを蓄積したメモリ管理部 $35_1 \sim 35_n$ のそれぞれは、割込み等の手段によって、自らが管理するメモリ $30_1 \sim 30_n$ のうちの1つのメモリに受信データが存在していることを、ホストCPU150へ通知するものである。

【0036】ここで、上記「クラス」は、同じ種類のデータの集合であり、たとえば、サイズの大きなマルチメディアのデータと、サイズの小さなサーバ間通信のための制御用メッセージとというように、データの大きさによって、データをクラス分けしてもよく、また、ビデオやオーディオ等の連続性を持ったストリームと、テキストや静止画等の連続性を持たないデータというように、連続性の有無によって、データをクラス分けしてもよく、また、これらとサーバ間通信用の制御用メッセージとの3つに、データをクラス分けするようにしてもよい。このデータのクラス分けのし方は任意である。

【0037】また、メモリ $30_1 \sim 30_n$ として、たとえばビデオストリームのような長大データを蓄積するクラスには、高集積大容量のDRAM (Dynamic Random Access Memory) を用い、制御用メッセージのような小さいデータを蓄積するクラスには、高速なSRAM (Static Random Access Memory) を用いることが考えられる。

【0038】図2は、通信インタフェースボードCIB1における送信動作を示すフローチャートである。

【0039】まず、データを送信する場合、ホストCPU150は、送信データが属するクラスを識別する情報を、送信データのヘッダ部に書込み、内部バスを介して、通信インタフェースボードCIB1へデータ転送する(T1)。内部バスインタフェース制御部145は、内部バスインタフェース140を介して受け取った送信データを、全てのメモリ管理部 $35_1 \sim 35_n$ へ転送する。つまり、第1のメモリ管理部 $35_1$ 、第2のメモリ管理部 $35_2$ 、……、第 $n$ のメモリ管理部 $35_n$ へ転送する(T2)。

【0040】たとえば、そのときに送信すべき送信データが第1のクラスに属するデータである場合、第1のメモリ管理部 $35_1$ は、送信データのヘッダ部を見て、第1のクラスに属するデータであることを認識し(T3)、第1のメモリ $30_1$ の中の第1の送信キュー $31_1$ の最後にキューイングする(T5<sub>1</sub>)。これと並行して、第2のメモリ管理部 $35_2$ は、送信データのヘッダ

部を見て、第2のクラスに属するデータでないことを認識し( $T3_2$ )、したがって、そのデータを破棄する( $T4_2$ )。送信データが第1のクラスに属する場合、他のメモリ管理部 $35_3$ 、……、 $35_n$ においても、第2のメモリ管理部 $35_2$ における上記処理と同様に、そのデータを破棄する。

【0041】送信データが第1のクラス以外のクラスに属するデータである場合、第1のメモリ管理部 $35_1$ は、送信データのヘッダ部を見て、第1のクラスに属するデータではないことを認識し( $T3_1$ )、その送信データを破棄する( $T4_1$ )。送信データが第2のクラスに属する場合、第2のメモリ管理部 $35_2$ は、送信データのヘッダ部を見て、第2のクラスに属するデータであることを認識し( $T3_2$ )、第2のメモリ $30_2$ の中の第2の送信キュー $31_2$ の最後にキューイングする( $T5_2$ )。

【0042】送信シーケンスマネージャ121は、送信キュー $31_1 \sim 31_n$ の長さが増えていけば、これによって、メモリ $30_1 \sim 31_n$ に新たな送信データが存在していることを認識し( $T6$ )、当該送信キュー(送信キュー $31_1 \sim 31_n$ のいずれか)の順番に従って、送信データを取り出すとともに、送信データをフレーム化し( $T7$ )、通信インタフェース110を介して通信路Cへ送出する。

【0043】図3は、通信インタフェースボードCIB1における受信動作を示すフローチャートである。

【0044】受信シーケンスマネージャ122は、通信インタフェース110を介して受け取ったいくつかのフレームからヘッダ情報を分解し、受信データを組み立てる( $R1$ )。通信インタフェース制御部120は、受信データを、全てのメモリ管理部(第1のメモリ管理部 $35_1$ 、第2のメモリ管理部 $35_2$ 、……、第nのメモリ管理部 $35_n$ )へ転送する( $R2$ )。

【0045】たとえば、受信データが第1のクラスに属するデータである場合、第1のメモリ管理部 $35_1$ は、受信データのヘッダ部を見て、その受信データが第1のクラスに属するデータであることを認識し( $R3_1$ )、第1のメモリ $30_1$ の中の第1の受信キュー $32_1$ の最後にキューイングする( $R5_1$ )。これと並行して、第2のメモリ管理部 $35_2$ は、受信データのヘッダ部を見て、その受信データが第2のクラスに属するデータではないことを認識し( $R3_2$ )、その受信データを破棄する( $R4_2$ )。その他のメモリ管理部 $35_3$ 、……、 $35_n$ でも、第2のメモリ管理部 $35_2$ と同様の処理を実行する。

【0046】そして、第1のメモリ管理部 $35_1$ は、割込み等の手段によって、第1のメモリ $30_1$ に新たな受信データが存在することを、ホストCPU150に通知する( $R6$ )。内部バスインタフェース制御部145は、ホストCPU150からの指示によって、第1の受

信キュー $32_1$ にキューイングされている順番通りに、受信データを読み出す( $R7$ )。

【0047】また、受信データが第2のクラスに属するデータである場合、第2のメモリ管理部 $35_2$ は、受信データのヘッダ部を見て、その受信データが第2のクラスに属するデータであることを認識し( $R3_2$ )、第2のメモリ $30_2$ の中の第2の受信キュー $32_2$ の最後にキューイングする( $R5_2$ )。

【0048】これと並行して、第1のメモリ管理部 $35_1$ は、受信データのヘッダ部を見て、その受信データが第1のクラスに属するデータではないことを認識し、その受信データを破棄する( $R4_1$ )。その他のメモリ管理部 $35_3$ 、……、 $35_n$ でも、第1のメモリ管理部 $35_1$ における上記処理と同様の処理を実行する。

【0049】図4は、本発明の他の実施例である通信インタフェースボードCIB2を示すブロック図である。

【0050】通信インタフェースボードCIB2は、複数のサーバ間を結ぶ高速な通信路Cと、上記サーバの内部バスとの間で、データの入出力を高速に行う通信インタフェースボードであり、通信インタフェース210と、通信インタフェース制御部220と、通信路側メモリ切替部270と、n個のメモリ $40_1$ 、……、 $40_n$ (第1のメモリ $40_1$ 、第2のメモリ $40_2$ 、……、第nのメモリ $40_n$ )と、内部バス側メモリ切替部260と、内部バスインタフェース240と、内部バスインタフェース制御部245とを有する。

【0051】通信インタフェース制御部220は、通信路に対するデータの送受信を制御するものであり、送信シーケンスマネージャ321と、受信シーケンスマネージャ322とを有する。

【0052】メモリ $40_1 \sim 40_n$ のそれぞれは、互いに異なるクラスに対応され、たとえば、それぞれ第1～第nのクラスに対応されている。つまり、メモリ $40_1$ は、第1のクラスに対応し、メモリ $40_2$ は、第2のクラスに対応し、……、メモリ $40_n$ は、第nのクラスに対応している。

【0053】そして、メモリ $40_1$ は、第1のクラスに属する送信データが送信される場合、その到着順に、第1の送信キュー $41_1$ に蓄積し、第1のクラスに属する受信データが受信された場合、その到着順に受信キュー $42_1$ に蓄積する。メモリ $40_2$ は、第2のクラスに属する送信データが送信される場合、その到着順に、第2の送信キュー $41_2$ に蓄積し、第2のクラスに属する受信データが受信された場合、その到着順に受信キュー $42_2$ に蓄積する。同様に、メモリ $40_n$ は、第nのクラスに属する送信データが送信される場合、その到着順に、第nの送信キュー $41_n$ に蓄積し、第nのクラスに属する受信データが受信された場合、その到着順に受信キュー $42_n$ に蓄積する。

【0054】内部バス側メモリ切替部260は、内部バ



スインタフェース240から受け取った送信データのヘッダ情報からクラスを識別し、そのクラスに対応したメモリにのみ、上記送信データを渡す。

【0055】通信インタフェース制御部220は、この送信キュー長が増えたことによって、新たな送信データが存在することを知る。そして、通信インタフェース制御部220の中の通信シーケンスマネージャ221は、第1の送信キュー41<sub>1</sub>、第2の送信キュー41<sub>2</sub>、…、第nの送信キュー41<sub>n</sub>にエントリされた送信データを、FIFO (First In First Out) 規律に従う順番で処理する。つまり、各送信キューにおける蓄積の順番に従って、送信データを所定の単位転送長に分割し、送信ヘッダ情報を添付し、フレームを作成する。このように1つ以上のフレームに変換された送信データは、通信インタフェース210を介して、通信路Cへ送り出される。

【0056】通信インタフェース制御部220の中の受信シーケンスマネージャ222は、通信インタフェース210を介して受信した1つ以上のフレームから、ヘッダ情報を取り外し、本来のデータを構成していた分のデータを合わせ、受信データを組み立て、この受信データを通信路側メモリ切替部270へ渡す。

【0057】通信路側メモリ切替部270は、受信データのヘッダ情報に基づいて、クラスを識別し、そのクラスに対応したメモリにのみ、その受信データを渡す。その後、割込み等の手段によって、ホストCPU250に、新たな受信データが存在することを通知する。

【0058】次に、通信インタフェースボードCIB2の動作について説明する。

【0059】図5は、通信インタフェースボードCIB2における送信処理動作を示すフローチャートである。

【0060】まず、データを送信する場合、ホストCPU250は、送信データが属するクラスを識別する情報を、送信データのヘッダ部に書込み、内部バスを介して、内部バスインタフェースボードCIB2へ送信データを転送する(T11)。

【0061】内部バスインタフェース制御部245は、内部バスインタフェース240を介して受け取った送信データを、内部バス側メモリ切替部260へ渡し、内部バス側メモリ切替部260は、送信データのヘッダ情報に基づいて、クラスを識別する(T12)。たとえば、送信データが第1のクラスに属する場合、内部バス側メモリ切替部260は、送信データを第1のメモリ40<sub>1</sub>の第1の送信キュー41<sub>1</sub>の最後にキューイングする(T13<sub>1</sub>)。この第1の送信キュー41<sub>1</sub>のキュー長が増加したことによって、通信インタフェース制御部220は、第1のメモリ40<sub>1</sub>に、新たな送信データが存在することを認識する(T14)。

【0062】そして、通信インタフェース制御部220の中の送信シーケンスマネージャ221は、第1の送信

キュー41<sub>1</sub>にキューイングされた送信データをFIFO (First In First Out) 規律に従う順番で処理する。つまり、第1の送信キュー41<sub>1</sub>に蓄積された順番に従って、所定の送信データを、通信路側メモリ切替部270を経由して取り出し、送信データを所定の単位転送長に分割し、送信ヘッダ情報を添付し、フレームを作成する(T15)。このように1つ以上のフレームに変換された送信データは、通信インタフェース210を介して、通信路Cへ送り出される(T16)。

【0063】また、送信データが第2のクラスに属する場合、内部バス側メモリ切替部260は、送信データを第2のメモリ40<sub>2</sub>内の第2の送信キュー41<sub>2</sub>の最後にキューイングする(T13<sub>2</sub>)。この第2の送信キュー41<sub>2</sub>へのエントリ数が増加したことによって、第2のメモリ40<sub>2</sub>に、送信すべき送信データが発生したことを、通信インタフェース制御部220が認識する(T14)。その後の処理は、上記送信データが第1のクラスに属する場合における処理と同様である。

【0064】図6は、通信インタフェースボードCIB2における受信処理動作を示すフローチャートである。

【0065】まず、通信インタフェース制御部220の中の受信シーケンスマネージャ222は、通信インタフェース210を介して受信した1つ以上のフレームから、送信ヘッダ情報を取り外し、本来のデータを構成していた分のデータを合わせ、受信データを組み立てる(R11)。さらに、受信データを通信路側メモリ切替部270へ渡す。通信路側メモリ切替部270では、受信データが属するクラスを判断し(S12)、この判断されたクラスに対応するメモリにのみデータを渡す(R13<sub>1</sub>~R13<sub>n</sub>)。たとえば、受信データが第1のクラスに属する場合、第1のメモリ40<sub>1</sub>内の第1の受信キュー42<sub>1</sub>の最後に、上記受信データをキューイングする(R13<sub>1</sub>)。

【0066】通信路側メモリ切替部270は、割込み等の手段によって、新規の受信データが第1のメモリ40<sub>1</sub>であることをホストCPU250へ通知する(R14)。内部バス側インタフェース制御部245は、ホストCPU250からの指示に従い、第1の受信キュー42<sub>1</sub>にキューイングされている順番通りに、上記受信データを、内部バス側メモリ切替部260を介して取り出し、内部バスインタフェース240を経由し、ホストCPU250へ送り出す(R15)。

【0067】また、受信データが第2のクラスに属する場合、第2のメモリ40<sub>2</sub>内の第2の受信キュー42<sub>2</sub>の最後に、上記受信データをキューイングする(R13<sub>2</sub>)。通信路側メモリ切替部270は、割込み等の手段によって、新規の受信データが第2のメモリ40<sub>2</sub>に蓄積されていることを、ホストCPU250へ通知する(R14)。その後の処理は、受信データが第1のクラスに属する場合における上記処理と同様である。

【0068】上記実施例は、複数のサーバ間を結ぶ通信路とサーバの内部バスとの間で、相互に、ビデオや音声のような長大で、連続性を持ったストリームデータと、比較的サイズの小さな、サーバ間の通信制御に必要な制御メッセージと等を混在させながら転送する場合、送信、受信のデータを $n$ 種類( $n$ は1以上の整数)にクラス分けし、各クラス毎に、所定の送信データと所定の受信データとを蓄積する $n$ 個のメモリを設け、データの送受信において、全てのメモリに対してバッファリングを指示した後に、各メモリにおいて、データのクラスを識別することによって、蓄積すべきか否かを判断した上で蓄積するか、または、データを受け取った時点で、そのクラスを識別することによって、バッファリングするメモリを選択するものである。

【0069】したがって、上記実施例において、送信または受信するデータを、上記 $n$ 種類のクラス毎に独立にバッファリングするので、先に送信(または受信)されたストリームデータの処理が完了することを待たずに、上記制御メッセージ等を優先的に処理することができ、ユーザ端末から出された要求に対する応答時間を短縮することができる。よって、コスト削減するために通信路を高速なものを用いて1本化した場合であっても、通信インタフェースボード間におけるデータ転送の高速化と、ユーザ端末から出された要求に対する応答時間の短縮とを両立させることができる。

【0070】

【発明の効果】本発明によれば、バースト的に大きな転送単位で送るデータと、小さな転送単位で頻繁に送るデータとが混在してデータ転送される場合等のように、タイプの異なるデータを独立にバッファリングすることによって、通信路の設備コストを削減することができるという効果を奏し、また、サーバからの応答時間を短縮することができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の一実施例である通信インタフェースボードCIB1を示すブロック図である。

【図2】通信インタフェースボードCIB1における送信時の動作を示すフローチャートである。

【図3】通信インタフェースボードCIB1における受信時の動作を示すフローチャートである。

【図4】本発明の他の実施例である通信インタフェースボードCIB2を示すブロック図である。

【図5】通信インタフェースボードCIB2における送信処理動作を示すフローチャートである。

【図6】通信インタフェースボードCIB2における受信処理動作を示すフローチャートである。

【図7】従来のビデオオンデマンドシステムVODS1を示すブロック図である。

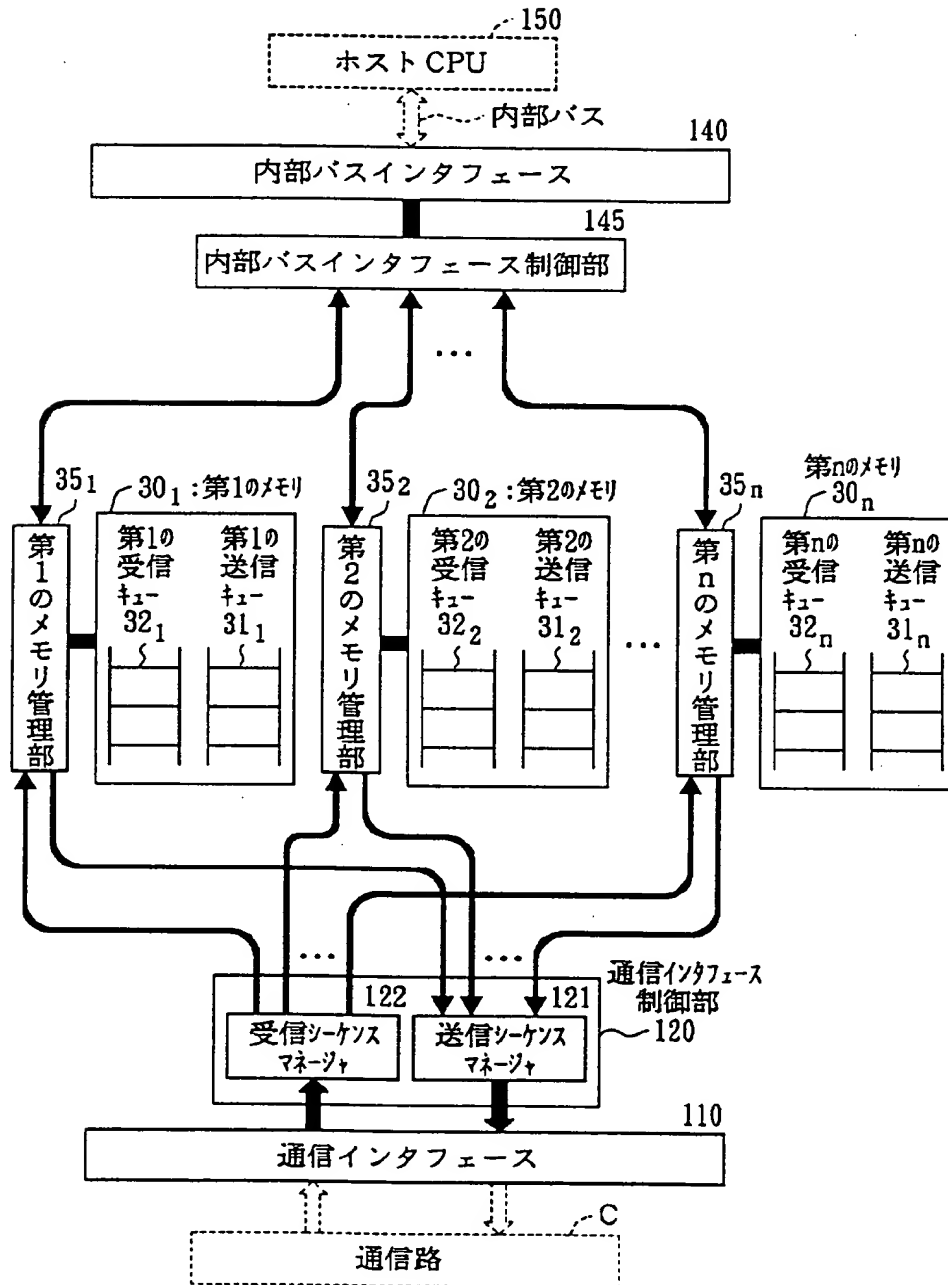
【図8】従来の通信インタフェースボードCIBのブロック図である。

【符号の説明】

CIB1、CIB2…通信インタフェースボード、  
110、210…通信インタフェース、  
120、220…通信インタフェース制御部、  
121、221…送信シーケンスマネージャ、  
122、222…受信シーケンスマネージャ、  
140、240…内部バスインタフェース、  
145、245…内部バスインタフェース制御部、  
150、250…CPU、  
260…内部バス側メモリ切替部、  
270…通信路側メモリ切替部、  
30<sub>1</sub>～30<sub>n</sub>、40<sub>1</sub>～40<sub>n</sub>…メモリ、  
31<sub>1</sub>～31<sub>n</sub>、41<sub>1</sub>～41<sub>n</sub>…送信キュー、  
32<sub>1</sub>～32<sub>n</sub>、42<sub>1</sub>～42<sub>n</sub>…受信キュー、  
35<sub>1</sub>～35<sub>n</sub>…メモリ管理部。

【図1】

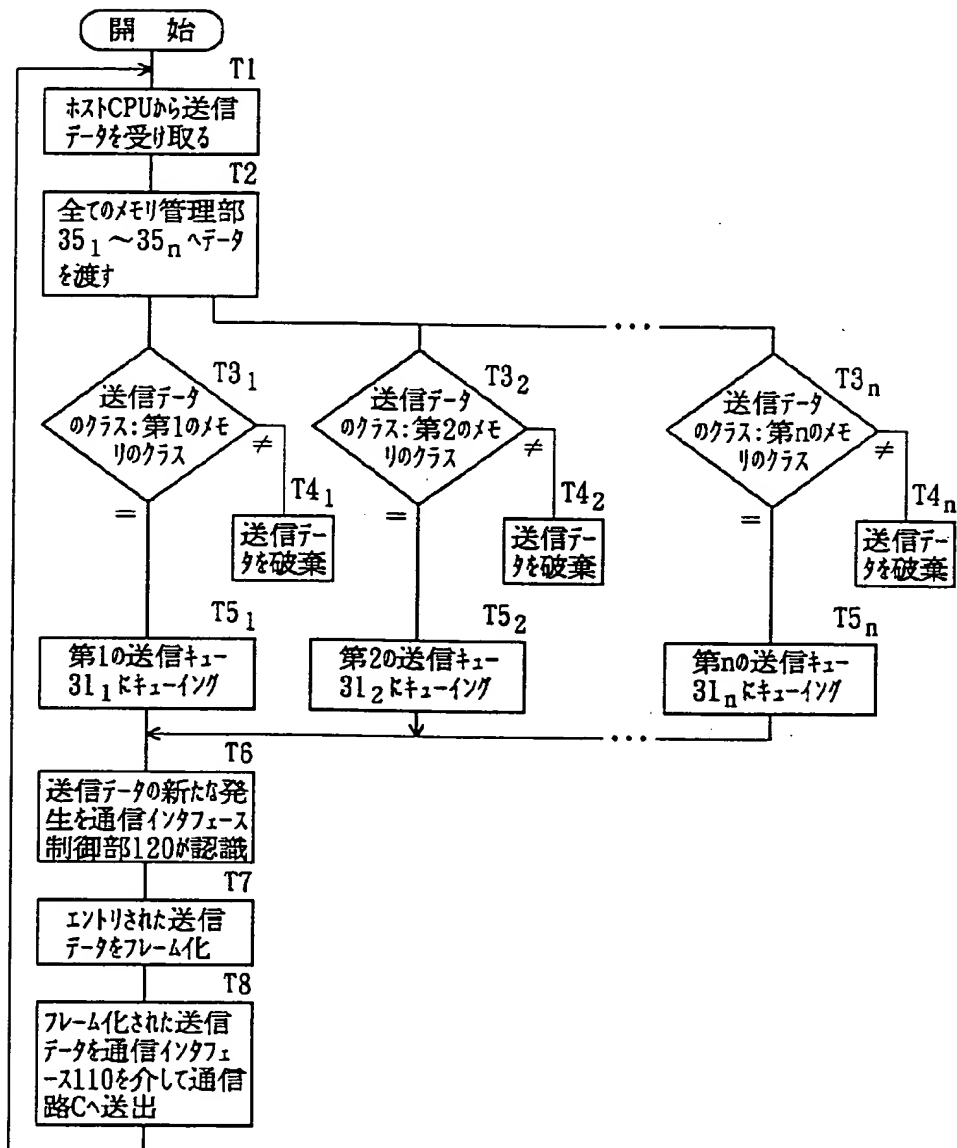
CIB1: 通信インタフェースボード



K4117

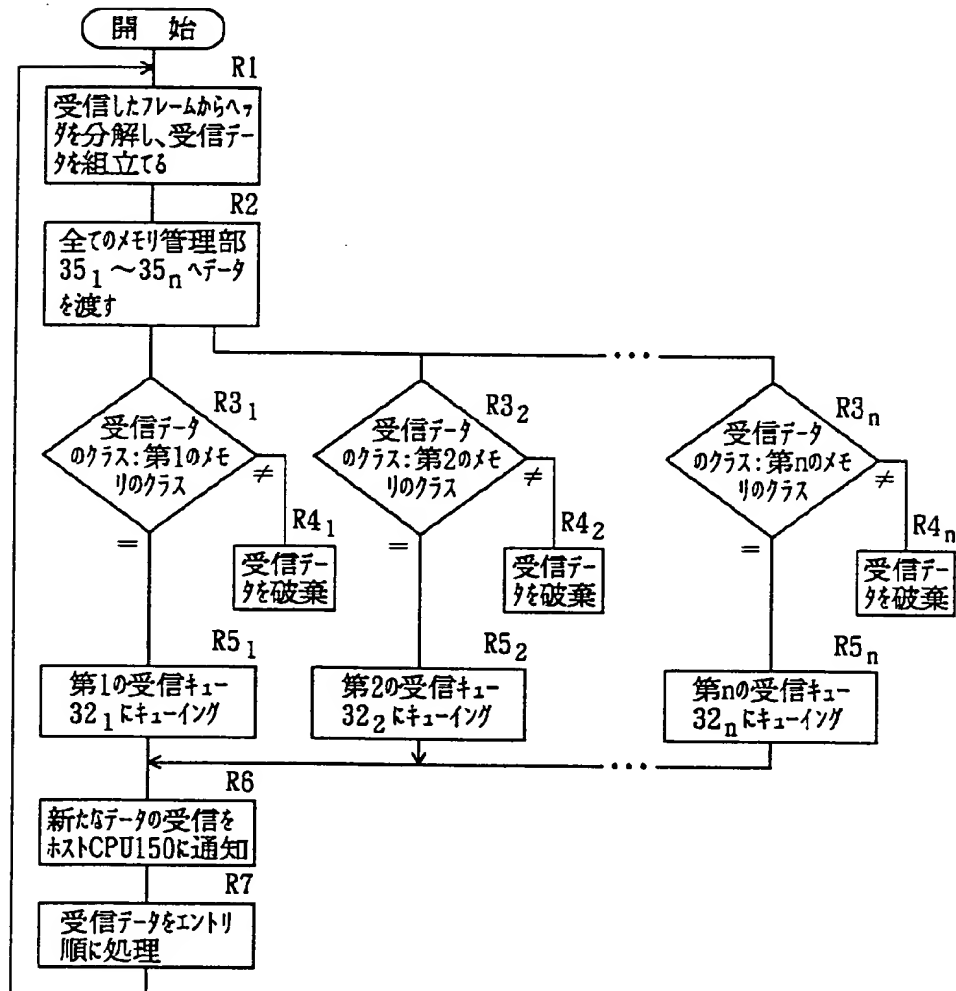
【図2】

## 通信インタフェースボードCIB1における送信処理動作



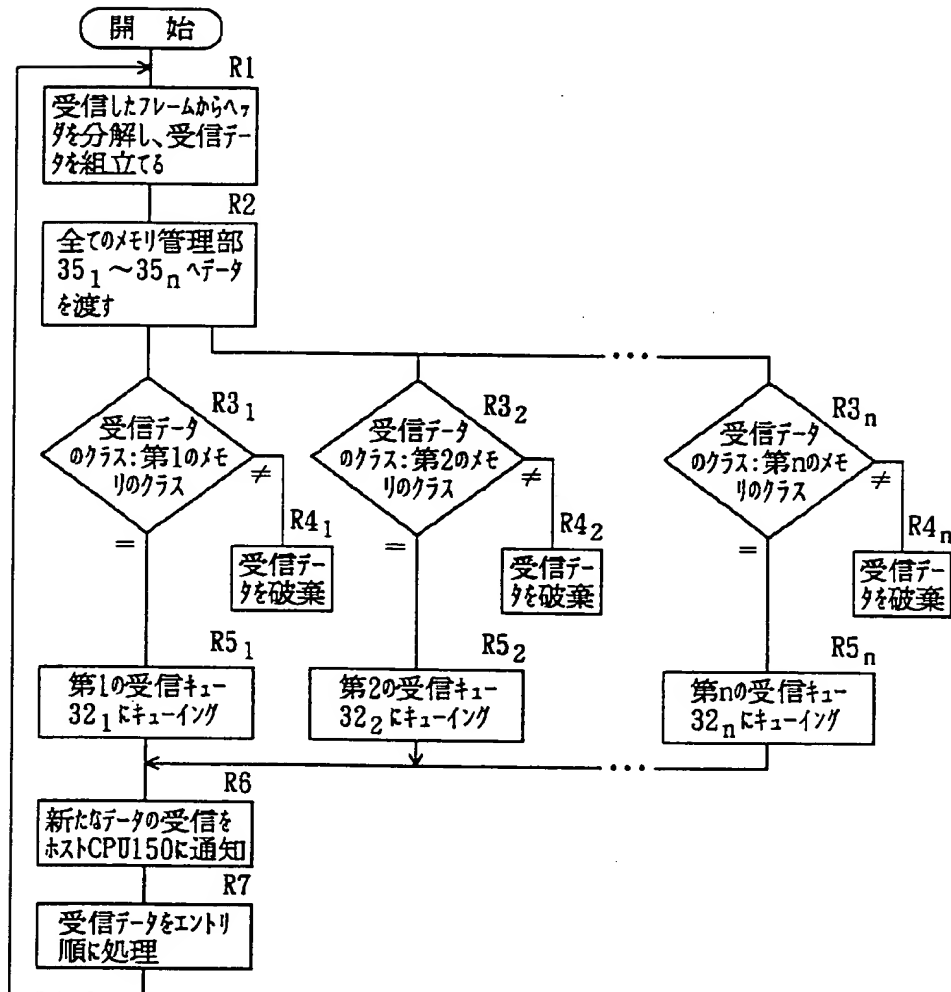
【図3】

## 通信インタフェースボードCIB1における受信処理動作



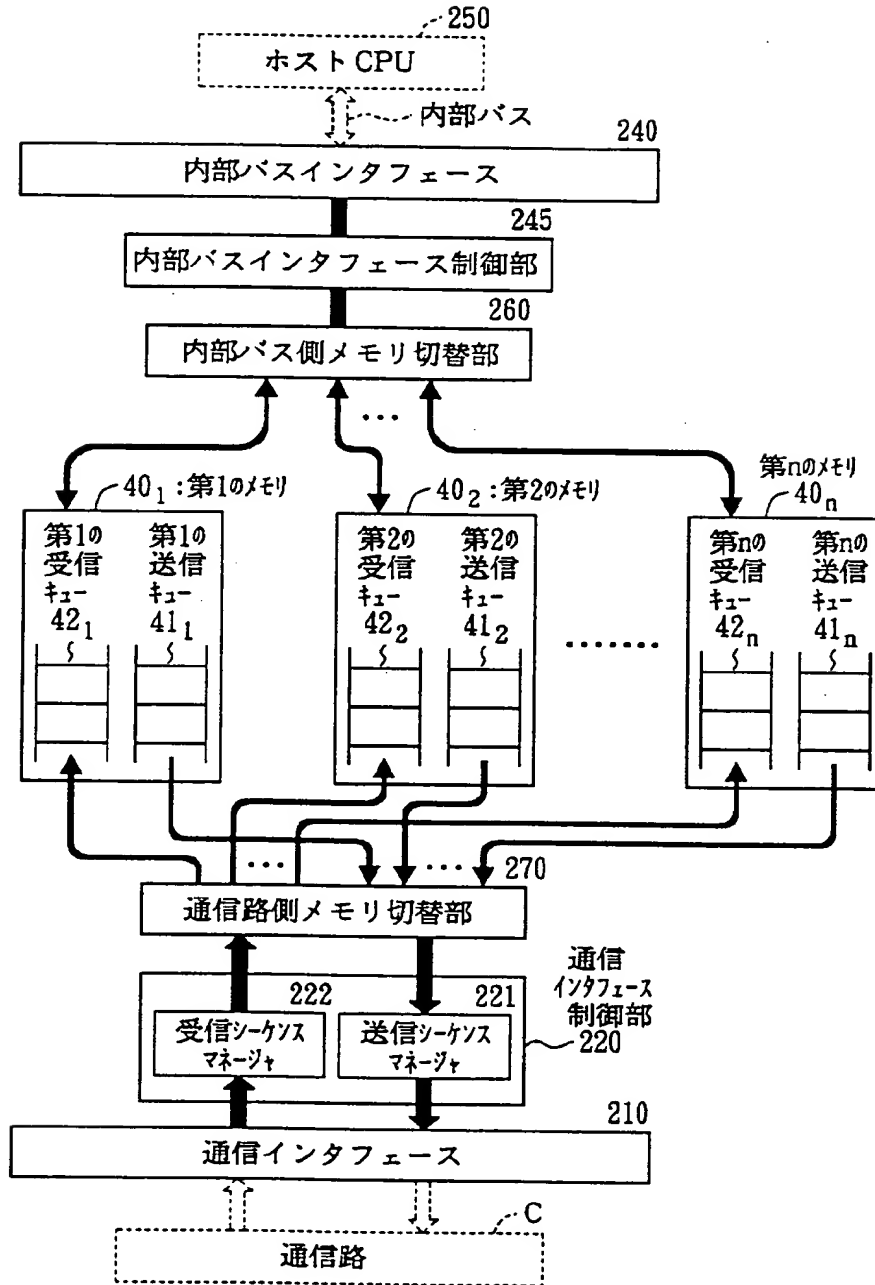
【図3】

## 通信インタフェースボードCIB1における受信処理動作



【図4】

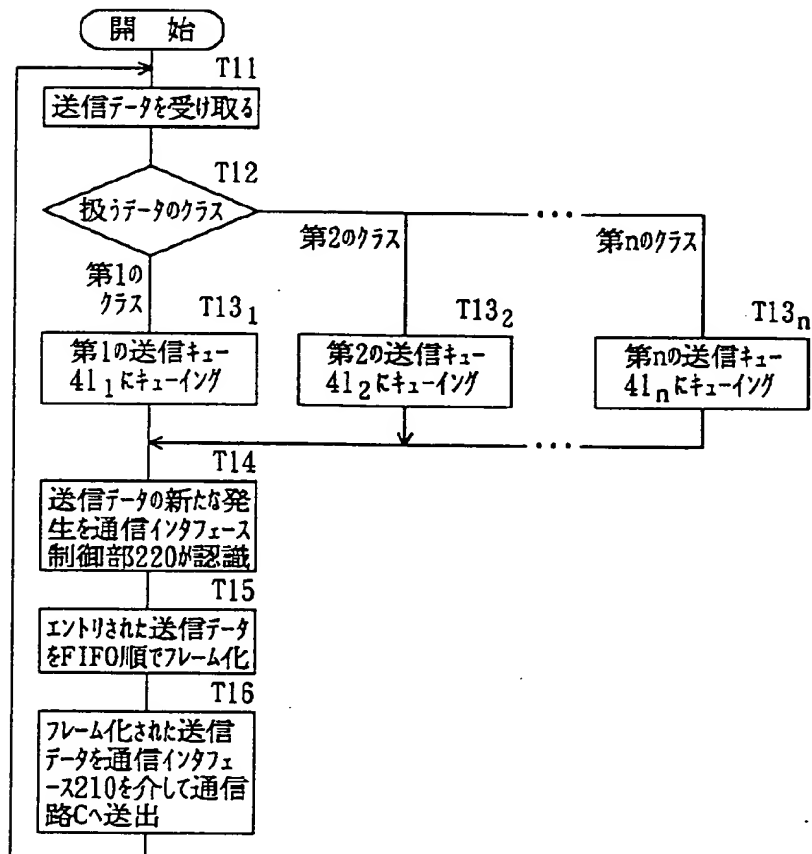
## CIB2: 通信インタフェースボード



K4117

【図5】

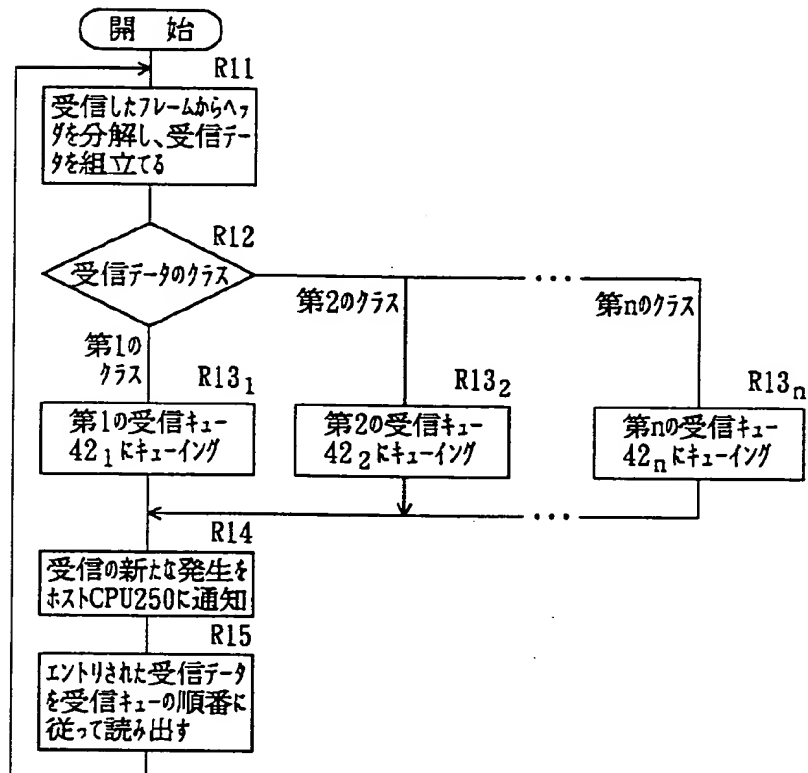
## 通信インターフェースボードCIB2における送信処理動作





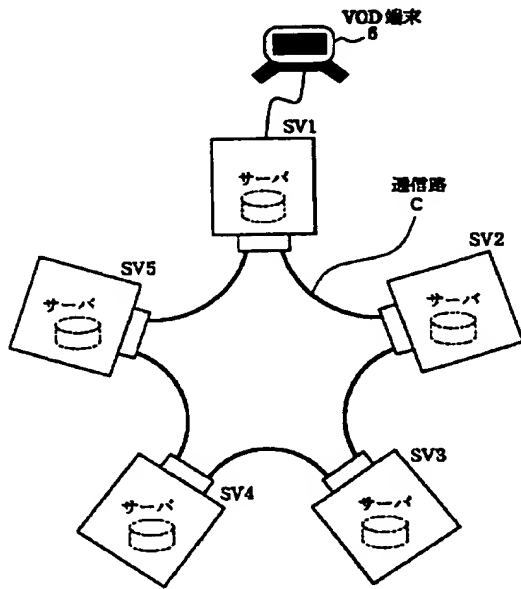
【図6】

## 通信インタフェースボードCIB2における受信処理動作



【図7】

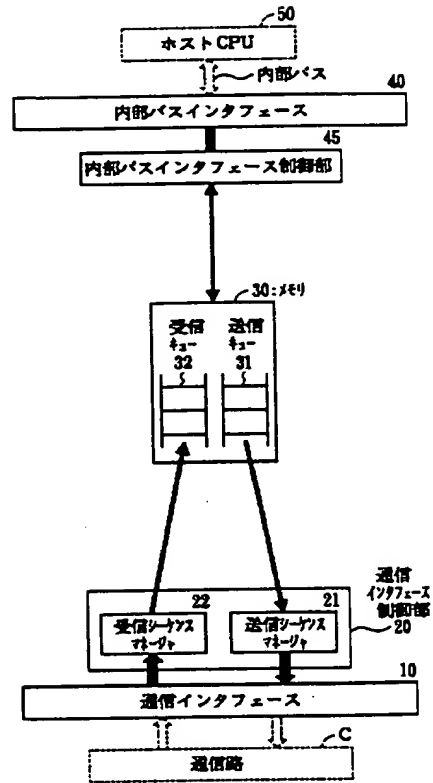
VODS1:従来の分散型ビデオオンデマンドシステム



K4117

【図8】

CIB:通信インタフェースボード



K4117